



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10116923 A

(43) Date of publication of application: 06.05.98

(51) Int. Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
G11C 16/04  
H01L 27/115

(21) Application number: 08268936

(22) Date of filing: 09.10.96

(71) Applicant: SHARP CORP

(72) Inventor: YAMAUCHI YOSHIMITSU

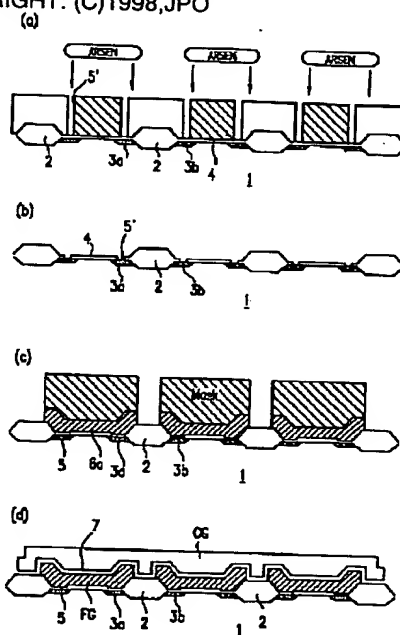
## (54) MANUFACTURE OF NON-VOLATILE SEMICONDUCTOR MEMORY

COPYRIGHT: (C)1998,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a method which enables improvement in reliability, does not require a high voltage at the time of writing and erasing, and enables efficient manufacture of an FN flash memory.

**SOLUTION:** A field oxide film 2 and a gate oxide film 4 are formed on a substrate 1. A window 5' in a tunnel region is opened, and a resist is used as a mask to carry out implantation of arsenic ions. Using the resist as a mask, the oxide film of the tunnel window 5' is removed. After removing the resist, heat treatment is carried out to form a tunnel, oxide film 5. A first polysilicon film is deposited and the first polysilicon film is formed into a pattern 6a. After an ONO film 7 is formed, a second polysilicon film is deposited. The first polysilicon film, the ONO film 7 and the second polysilicon film are patterned in a self-aligned manner, thereby forming a control gate CG, the ONO film 7 and a floating gate FG.



JAPANESE PATENT APPLICATION LAID-OPEN NO. 10-116923

(Partial Translation)

[Brief Description of the Drawings]

[FIG. 1]

A sectional view of a memory cell showing an embodiment 1 of the present invention.

[FIG. 2]

A partial plan view of a memory cell array showing the embodiment 1 of the present invention.

[FIG. 3]

A sectional view taken along line A-A in FIG. 2, showing the embodiment 1 of the present invention.

[FIG. 4]

A sectional view taken along line B-B in FIG. 2, showing the embodiment 1 of the present invention.

[FIG. 5]

(a): an equivalent circuit diagram of a memory cell array having a structure in which the sources of memory cells arranged in three lines are connected with a common source line; and (b): an equivalent circuit diagram of a memory cell array having a structure in which the sources of memory cells arranged in two lines are connected with a source line, showing the embodiment 1 of the present invention.

[FIG. 6]

(a): a table showing operation conditions when a memory cell  $C_{11}$  in the memory cell array of FIG 5(a)

is selected; and (b): a table showing operation conditions when a memory cell  $C_{11}$  in the memory cell array of FIG 5(b) is selected, showing the embodiment 1 of the present invention.

[FIG. 7]

Views showing a manufacturing process of a nonvolatile semiconductor memory, showing the embodiment 1 of the present invention.

[FIG. 8]

Process flow views showing a manufacturing process of a nonvolatile semiconductor memory, showing an embodiment 2 of the present invention.

[FIG. 9]

A sectional view of an FN flash memory according to the first prior art.

[FIG. 10]

Process flow views showing a manufacturing process of an FN flash memory according to the second prior art.

[FIG. 11]

Process flow views showing a manufacturing process of an FN flash memory according to the third prior art.

[Description of References]

- 1: semiconductor substrate
- 2: element isolation insulating film
- 3: diffusion layer
- 4: gate oxide film
- 5: tunnel insulating film

7: ONO film  
9: channel region  
BL: bit line  
C: memory cell  
CG: control gate  
FG: floating gate  
WL: word line

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 1 1 6 9 2 3

(43) 公開日 平成10年(1998)5月6日

(51) Int. Cl.<sup>6</sup>  
H 0 1 L 21/8247  
29/788  
29/792  
G 1 1 C 16/04  
H 0 1 L 27/115

識別記号

F I

H 0 1 L 29/78 3 7 1  
G 1 1 C 17/00 6 2 1 A  
H 0 1 L 27/10 4 3 4

審査請求 未請求 請求項の数 3

O L

(全 1 0 頁)

(21) 出願番号 特願平8-268936

(22) 出願日 平成8年(1996)10月9日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山内 祥光

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

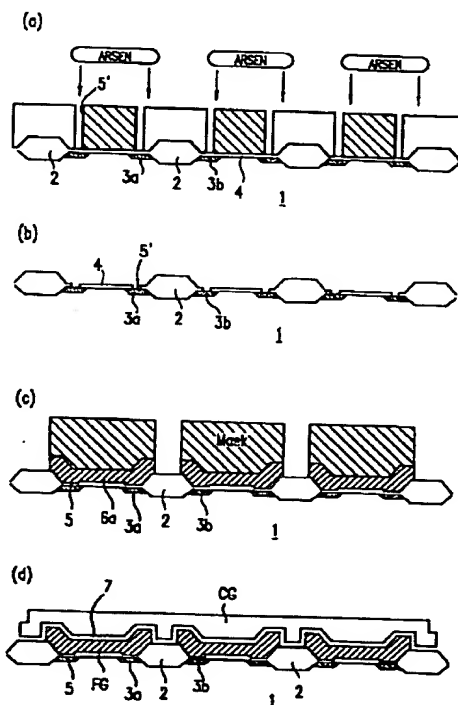
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 不揮発性半導体メモリの製造方法

(57) 【要約】

【課題】 信頼性を向上でき、書き込み及び消去時に高電圧を必要としない、FNフラッシュメモリを効率よく製造できる方法を提供する。

【解決手段】 基板 1 上にフィールド酸化膜 2、ゲート酸化膜 4 を形成する。トンネル領域の窓 5' を開口し、レジストをマスクとし、砒素イオンの注入を行う。レジストをマスクとし、トンネル窓 5' の酸化膜を除去する。レジスト除去後、熱処理を行い、トンネル酸化膜 5 を形成する。第 1 ポリシリコン膜を堆積し、その上に、第 1 ポリシリコン膜をパターン 6 a に形成する。ONO 膜 7 を形成した後、第 2 ポリシリコン膜を堆積し、第 1 ポリシリコン膜/ONO 膜 7/第 2 ポリシリコン膜を自己整合的にパターニングして、コントロールゲート CG、ONO 膜 7 及びフローティングゲート FG を形成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に素子分離用絶縁膜を形成する工程と、

該素子分離用絶縁膜を含む該半導体基板上に第1絶縁膜を形成する工程と、

レジストマスクを用いて該半導体基板にイオンを注入し、拡散層を形成する工程と、

該レジストマスクを用いてトンネル領域の該第1絶縁膜を除去する工程と、

該レジストマスクを除去した後、該トンネル領域に第2絶縁膜を形成する工程と、

該第2絶縁膜の上に該素子分離用絶縁膜と一部重なる第1導電層パターンを形成する工程と、

該第1導電層パターンの上に、該第2の絶縁膜を介して第2導電層パターンを形成する工程とを包含する不揮発性半導体メモリの製造方法。

【請求項2】 半導体基板上に第1絶縁膜を形成する工程と、

該第1絶縁膜の上に第1窒化膜をパターン形成する工程と、

第1窒化膜パターンを酸化膜で覆い、該第1窒化膜の上に第2窒化膜を堆積し、且つエッチバックにより、該第1窒化膜パターンの両側壁であって、トンネル領域を形成する部分に対応している部分に窒化膜スペーサを形成する工程と、

該第1窒化膜及び該窒化膜スペーサをマスクとして、素子分離用絶縁膜を自己整合的に形成する工程と、

該第1窒化膜パターンの両側壁の該窒化膜スペーサ除去する工程と、

該第1窒化膜パターン及び該素子分離用絶縁膜をマスクとして該半導体基板にイオンを注入し、拡散層を形成する工程と、

該第1窒化膜パターンを除去する工程と、

該トンネル領域を覆うように、第1導電パターン形成する工程と、

該第1導電パターンの上に第3の絶縁膜を介して第2導電層パターン形成する工程とを包含する不揮発性半導体メモリの製造方法。

【請求項3】 前記第2導電層パターンをコントロールゲートとし、同時に前記第1導電層パターンをエッチングすることにより、フローティングゲートを形成する工程を包含する請求項1又は請求項2記載の不揮発性半導体メモリの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、Fowler-Nordheim (F-N) トンネル電流によって、書き込み及び消去を行う不揮発性半導体メモリの製造方法に関し、より詳しくはF-Nフラッシュメモリの製造方法として好適な不揮発性半導体メモリの製造方法に関す

る。

## 【0002】

【従来の技術】図9は従来のF-N（以下ではFNと表記する）フラッシュメモリ（以下第1従来例と称する）の構造を示す。このFNフラッシュメモリは、以下の製造工程で作製される。即ち、まず、P型の半導体基板101上にトンネル酸化膜102を形成し、その上にフローティングゲート（浮遊ゲート）FGをパターン形成する。続いて、このパターンをマスクとし、半導体基板101の上方より砒素（As）イオンを注入し、これにより、ソース103及びドレイン104を形成する。そして、フローティングゲートFGの上に層間絶縁膜105を介してコントロールゲート（制御ゲート）CGを形成する。

【0003】このFNフラッシュメモリは、上記のようにフローティングゲートFGをマスクとして砒素イオンを注入することによりソース103及びドレイン104を形成する工程をとるため、フローティングゲートFGは、図示のように均一で、かつ厚みの薄いトンネル酸化膜102を有することになる。

【0004】また、FNフラッシュメモリの他の従来例（以下第2従来例と称する）として、本願出願人が特開平4-356969号公報で先に提案したものがある。このFNフラッシュメモリは、フローティングゲートの下にゲート絶縁膜とトンネル領域の両方を形成した点に特徴を有するものである。

【0005】以下に図10に基づきその製造工程を説明する。まず、Si基板201上に厚さ30nmのゲート酸化膜204を形成する。続いて、その上に、厚さ200nmのポリシリコン層、厚さ100nmのSiO<sub>2</sub>層及びフォトレジスト層（図示せず）を順次積層した後、フォトレジストパターン（図示せず）を形成し、これをマスクにして、SiO<sub>2</sub>層、ポリシリコン層をエッチングし、フローティングゲートとしての第1ポリシリコン膜209及びSiO<sub>2</sub>パターン214を形成する（同図（a）参照）。

【0006】次に、フォトレジストパターンを除去した後、ポリシリコン膜209及びSiO<sub>2</sub>パターン214をマスクにして、砒素イオンを注入し、N型のソース202及びドレイン203を形成する。続いて、ドレイン203上のゲート酸化膜204を同図（a）に示すフォトレジストパターン215をマスクに用いて除去する。

【0007】続いて、同図（b）に示すように、フォトレジストパターン215を除去した後、ポリシリコン膜209を含むSi基板201の全面を酸化して、厚さ8nmのトンネル酸化膜216を形成し、更に厚さ300nmの第2ポリシリコン膜を堆積し、全面をエッチバックしてドレイン203上にポリシリコンの導電性側壁スペーサ217を形成する。この際、導電性側壁スペーサ217はスペーサ絶縁膜218を介してゲート本体、即

ち第1ポリシリコン膜209に接して形成され、ゲート本体209上にはSiO<sub>2</sub>膜214が配設されており、エッチバックの際、これがゲート本体209をマスクする。

【0008】続いて、同図(c)に示すように、SiO<sub>2</sub>膜214を除去した後、厚さ250nmの第3ポリシリコン膜219を堆積し、これをエッチバックして導電性側壁スペーサ217とゲート本体209とを電氣的に接続可能なゲート片210を形成し、ゲート本体209、導電性側壁スペーサ217及びゲート片210からなるフローティングゲートFGとする(同図(d)参照)。

【0009】その後、公知の方法にて制御ゲート用絶縁膜を介して制御ゲート等を作製し、これによってFNフラッシュメモリが作製される。

【0010】また、FNフラッシュメモリの更に他の従来例(以下第3従来例と称する)として、IEDM 1993年 p19~p22に掲載された「A High Capacitive-Coupling Ratio (HiCR) Cell for V-Only 64 Mbit Future Flash Memories」(Yosiaki S. Hisamune, Kohji Kanamori等)がある。

【0011】以下にこのFNフラッシュメモリの製造工程を図11に基づき説明する。まず、Si基板301上にゲート絶縁膜302を介してゲート本体309を形成した後、シリコン酸化膜303を介してシリコン窒化膜304をゲート本体309の上及びその側壁に形成し(同図(a)、(b)参照)、続いてソース/ドレイン形成のためのイオン(n<sup>+</sup>)を注入した後、選択酸化を行う(同図(c)参照)。

【0012】続いて、シリコン窒化膜304を除去し、ゲート本体309の側壁にあったシリコン窒化膜304下のシリコン基板301を露出させ、ここにトンネル絶縁膜(トンネル酸化膜)316を形成する。その後、上述と同様に導電性側壁スペーサ317及び該側壁スペーサ317(同図(d)参照)とゲート本体309とを接続する第3ポリシリコン膜319を形成し(同図(e)参照)、このポリシリコン膜319をパターンニングしてフローティングゲートFGを形成する(同図(f)参照)。

【0013】

【発明が解決しようとする課題】しかしながら、第1従来例では、ゲート絶縁膜が均一に薄いトンネル酸化膜102で形成されているため、以下に示す問題点がある。

【0014】(1) トンネル領域を完全に拡散層で覆うことができないため、バンド間トンネル電流が流れ、このとき発生したホールがトンネル酸化膜102中にトラップされ易く、信頼性劣化の原因となっていた。

【0015】(2) フローティングゲートFGと半導体

基板101間の容量が大きくなり、その結果、ゲート結合容量比が小さくなるため、書き込み及び消去時に高電圧を必要とする。

【0016】また、第2従来例及び第3従来例では、いずれもフローティングゲートFGを作製するのに、第1、第2及び第3ポリシリコン膜からなる3層のポリシリコン膜を必要とするため、工程数が増え、煩雑になる。このため、製造効率が低下し、FNフラッシュメモリのコストアップの要因になっていた。

10 【0017】加えて、第2従来例及び第3従来例において、コントロールゲートのパターンニングと同時にフローティングゲートもパターンニングする場合、コントロールゲートに覆われていないスペーサ絶縁膜218等も同時にエッチング除去する必要がある。即ち、スペーサ絶縁膜218等のエッチ残りがあると、そのエッチ残りの側壁にフローティングゲートを構成するポリシリコン膜が残りやすく、このポリシリコン膜が完全にエッチングされなければ、メモリセル間でフローティングゲートを完全に分離できないからである。

20 【0018】従って、この点においても、工程が煩雑になり、FNフラッシュメモリのコストアップの要因になっていた。

【0019】また、第3従来例では、第3ポリシリコン膜319をパターンニングする際に、位置合わせのための余裕を確保する必要があるため、セルサイズが大きくなる。このため、FNフラッシュメモリの高集積化を図る上でのネックになっていた。

30 【0020】本発明は、このような現状に鑑みてなされたものであり、バンド間トンネル電流を防止できることにより信頼性を向上でき、書き込み及び消去時に高電圧を必要とすることなく、しかも工程数を削減でき、コストダウンを図ることができるとともに、セル面積を小さくでき、高集積化が図れる不揮発性半導体メモリの製造方法を提供することを目的とする。

【0021】

40 【課題を解決するための手段】本発明の不揮発性半導体メモリの製造方法は、半導体基板上に素子分離用絶縁膜を形成する工程と、該素子分離用絶縁膜を含む該半導体基板上に第1絶縁膜を形成する工程と、レジストマスクを用いて該半導体基板にイオンを注入し、拡散層を形成する工程と、該レジストマスクを用いトンネル領域の該第1絶縁膜を除去する工程と、該レジストマスクを除去した後、該トンネル領域に第2絶縁膜を形成する工程と、該第2絶縁膜の上に該素子分離用絶縁膜と一部重なる第1導電層パターンを形成する工程と、該第1導電層パターンの上に、該第2の絶縁膜を介して第2導電層パターンを形成する工程とを包含しており、そのことにより上記目的が達成される。

50 【0022】また、本発明の不揮発性半導体メモリの製造方法は、半導体基板上に第1絶縁膜を形成する工程

と、該第1絶縁膜の上に第1窒化膜をパターン形成する工程と、第1窒化膜パターンを酸化膜で覆い、該第1窒化膜の上に第2窒化膜を堆積し、且つエッチバックにより、該第1窒化膜パターンの両側壁であって、トンネル領域を形成する部分に対応している部分に窒化膜スペーサを形成する工程と、該第1窒化膜及び該窒化膜スペーサをマスクとして、素子分離用絶縁膜を自己整合的に形成する工程と、該第1窒化膜パターンの両側壁の該窒化膜スペーサ除去する工程と、該第1窒化膜パターン及び該素子分離用絶縁膜をマスクとして該半導体基板にイオンを注入し、拡散層を形成する工程と、該第1窒化膜パターンを除去する工程と、該トンネル領域を覆うように、第1導電パターン形成する工程と、該第1導電パターンの上に第3の絶縁膜を介して第2導電層パターン形成する工程とを包含しており、そのことにより上記目的が達成される。

【0023】好ましくは、前記第2導電層パターンをコントロールゲートとし、同時に前記第1導電層パターンをエッチングすることにより、フローティングゲートを形成する。

【0024】以下に、本発明の作用を説明する。

【0025】上記製造プロセスによれば、ソース/ドレイン形成のためのイオン注入領域は、トンネル領域を規定するマスク領域と同じであるため、トンネル領域をソース/ドレイン拡散層で完全に覆うことができる。よって、バンド間トンネル電流を低減できるので、メモリの信頼性を向上できる。

【0026】また、導電膜としての、例えばポリシリコン膜の層数を第1従来例及び第2従来例に比べて低減でき、その分、工程数の削減が図れるので、製造能率を向上できる。

【0027】また、素子分離用絶縁膜を自己整合的に形成する工程を含む製造プロセスによれば、位置合わせのための余裕を確保する必要がないので、その分、セル面積を小さくできる。従って、まず、第1に、不揮発性半導体メモリの高集積化を図ることができる。第2に、トンネル領域も小さくでき、ゲートカップリング比をより一層大きくできるので、より一層低電圧でメモリセルに対する書き込みが行える。

【0028】

【発明の実施の形態】以下に本発明の実施の形態を図面に基づき具体的に説明する。

【0029】（実施形態1）図1～図7は本発明の実施形態1を示す。まず、図1～図4に基づき本実施形態1の製造方法で作製されるFNフラッシュメモリの構造について説明する。

【0030】図2はこのFNフラッシュメモリのセルアレイの一部の平面構成を示す。半導体基板1上には複数のメモリセルCがX-Y二次元方向にマトリクス状に形成されている。ここで、X方向はメモリセルCのチャネ

ル方向に相当する。なお、図1において、各メモリセルCは、 $C_{im}$ （ $i$ は行を示し、 $i=1, 2, 3, \dots, m$ は列を示し、 $m=1, 2, 3, \dots$ ）と表記してある。

【0031】次に、図2に示すメモリセルアレイの断面構造について説明する。図1、図3及び図4に示すように、半導体基板1上には素子分離絶縁膜2、ゲート酸化膜4及びトンネル絶縁膜5が形成され、その上にフローティングゲートFGが形成されている。

【0032】更に、フローティングゲートFGの上には、ONO膜等の絶縁膜7を介して、コントロールゲートCGが形成されている。図3に示すように、コントロールゲートCGは、メモリセルCのチャネル方向に沿って延在しており、図5(a)、(b)に示すように、X方向に並ぶメモリセルCを接続するワードラインWLとなっている。

【0033】図3に示すように、X方向に隣接する2個のメモリセルC、Cの間には、素子分離絶縁膜2が形成されている。拡散層3は素子分離絶縁膜2によってX方向に電氣的に絶縁されており、一方の拡散層3aはドレイン拡散層3aとして機能し、他方の拡散層3bはソース拡散層3bとして機能する。

【0034】なお、Y方向に沿って並ぶ拡散層3は、図5(a)、(b)に示すように、ビットラインBLに連なる拡散層配線で接続されている。ここで、ドレイン拡散層ラインは金属配線で接続することにしてもよい。但し、その場合は、各拡散層3にコンタクト領域を形成する必要がある。また、図4に示すように、Y方向に沿って隣接するメモリセルCのフローティングゲートFGの間には、素子分離用イオン注入領域（p領域）が形成されている。

【0035】なお、図中9はチャネル領域を示す。

【0036】図5(a)、(b)は実施形態1のFNフラッシュメモリの等価回路を示す。但し、同図(a)は1本の共通ソースラインCSLに3列に配列されたメモリセルCのソースを接続した構造のものを示し、同図(b)は1本のソースラインSLに2列に配列されたメモリセルCのソースを接続した構造のものを示す。

【0037】同図(a)、(b)に示すように、いずれの等価回路においても、同一ワードラインWL1～WL3上の各メモリセルCのソース/ドレインは異なるビットライン(BL1, BL2, …, BL6)に接続されている。

【0038】次に、上記等価回路で示されるFNフラッシュメモリの動作を、図5(a)及び図5(b)において、メモリセルC<sub>11</sub>が選択された場合を例にとりて説明する。なお、図6(a)は、図5(a)において、メモリセルC<sub>11</sub>が選択された場合の動作条件を示し、図6(b)は、図5(b)において、メモリセルC<sub>11</sub>が選択された場合の動作条件を示す。

【0039】図5(a)において、メモリセルC<sub>11</sub>に対



する書き込み (PROGRAM) 動作は、ページモードの場合を例にとって説明すると、まずメモリセルC<sub>11</sub>のコントロールゲートCGに接続されたワードラインWL1に負の高電圧 (-8 V) を印加し、その他のワードラインWL2, WL3を0 Vとする。次に、メモリセルC<sub>11</sub>のドレイン拡散層3aに連なるビットラインBL1に正の電圧 (4 V) を印加し、その他のビットラインBL2, BL3は0 Vとする。

【0040】また、消去 (ERASE) 動作は、ページモードの場合を例にとって説明すると、まず全ビットラインBL1~BL3を0 Vにしておき、ワードラインWL1に正の高電圧 (17 V) を印加し、その他のワードラインWL2, WL3は0 Vとする。

【0041】このことより、ワードラインWL1に接続された複数のメモリセルCのフローティングゲートFGに同時に電子が注入され、一括消去される。

【0042】また、選択されたメモリセルC<sub>11</sub>からの読み出し (READ) は、まず、ワードラインWL1に3 Vを印加し、同時にビットラインに1 V、共通ソースラインCSLに0 Vを印加し、ビットライン/ソースライン間に流れる電流を検出することにより、データが読み出される。

【0043】一方、図5 (b) の場合は、メモリセルC<sub>11</sub>に対する書き込み動作は、ページモードの場合を例にとって説明すると、まずメモリセルC<sub>11</sub>のコントロールゲートCGに接続されたワードラインWL1に負の高電圧 (-8 V) を印加し、その他のワードラインWL2, WL3を0 Vとする。次に、メモリセルC<sub>11</sub>のドレイン拡散層3aに連なるビットラインBL1に正の電圧 (4 V) を印加し、その他のビットラインBL2, BL3, BL4は0 Vとする。

【0044】また、消去動作は、ページモードの場合を例にとって説明すると、まず全ビットラインBL1~BL4を0 Vにしておき、ワードラインWL1に正の高電圧 (17 V) を印加し、その他のワードラインWL2, WL3は0 Vとする。

【0045】このことより、ワードラインWL1に接続された複数のメモリセルCのフローティングゲートFGに同時に電子が注入され、一括消去される。

【0046】また、選択されたメモリセルC<sub>11</sub>からの読み出しは、まず、ワードラインWL1に3 Vを印加し、同時にビットラインBL1に1 V、ソースラインSL1, SL2に0 Vを印加し、ビットライン/ソースライン間に流れる電流によるビットラインの電圧の低下を検出することにより、データが読み出される。

【0047】次に、図7 (a) ~ (d) に基づき上記構造のFNフラッシュメモリの製造工程について説明する。但し、図7 (a) ~ (d) はいずれも図2のA-A線断面図に相当するものである。

【0048】まず、図7 (a) に示すように、半導体基

板1上に膜厚300 nmのフィールド酸化膜 (素子分離絶縁膜) 2を形成する。続いて、その上に膜厚20 nmのゲート酸化膜4を形成する。

【0049】次に、フォトリソグラフィ技術により、トンネル領域の窓5'を開口し、レジストをマスクとし、80 KeV、 $5 \times 10^{16} / \text{cm}^2$ の砒素注入を行う。引き続き、レジストをマスクとし、トンネル窓5'の酸化膜を除去する (図7 (b) 参照)。

【0050】続いて、レジストを除去後、窒素雰囲気中で800℃、30分の熱処理を行い、引き続きトンネル酸化膜5を形成する (図7 (b) 参照)。

【0051】次に、第1ポリシリコン膜を100~200 nmの膜厚に堆積する。そして、その上に、フォトリソグラフィ及びエッチング技術により、第1ポリシリコン膜をパターン6aに形成する (図7 (c) 参照)。

【0052】続いて、ONO膜7を形成した後、第2ポリシリコン膜を約100 nm堆積し、第1ポリシリコン膜/ONO膜7/第2ポリシリコン膜を自己整合的にパターンニングすることにより、コントロールゲートCG (ワードライン)、ONO膜7及びフローティングゲートFGを形成する (図7 (d) 参照)。

【0053】以上の製造工程で、図1に示す構造のFNフラッシュメモリが作製される。

【0054】上記構造のFNフラッシュメモリによれば、各メモリセルCは独立した2本のビットライン拡散層を有するため、FN電流による書き込みができ、且つ、トンネル絶縁膜5が形成される領域は、拡散層3で完全に覆われているため、書き込み時におけるバンド間トンネル電流を大幅に低減できる。従って、書き込み効率及びメモリセルCの信頼性を向上できる。

【0055】また、チャネル領域9はトンネル絶縁膜5より厚い絶縁膜で形成されているため、ゲート領域絶縁膜が均一のトンネル酸化膜で形成されている第1従来例のフラッシュと比較して、ゲートカップリング容量比を大きくできるため、低電圧書き込みが可能となる。

【0056】また、フローティングゲートFGを形成するためのポリシリコン膜が1層で済むので、第2従来例及び第3従来例のFNフラッシュメモリに比べて製造工程を簡略化できる。よって、その分、製造効率を向上できるので、FNフラッシュメモリのコストダウンに寄与できる。

【0057】(実施形態2) 図8 (a) ~ (d) は本発明の実施形態2を示す。本実施形態2の製造方法は、実施形態1の製造方法と比較して、素子分離領域を自己整合的に形成し、セル面積を小さく、且つ、トンネル領域を小さくすることにより、ゲートカップリング比を更に大きくすることを目的とする製造方法に関する。以下にその工程を説明する。

【0058】まず、図8 (a) に示すように、半導体基

板11上に、膜厚20nmのゲート酸化膜12を形成する。続いて、その上に第1SiN膜13を100nm堆積した後、フォト・リソグラフィ技術により、第1SiN膜13をパターンニングする。続いて、HTO膜/SiN膜を堆積後、エッチバックにより第2SiN膜からなるスペーサ膜14を形成する。続いて、第1SiN膜13及びスペーサ膜14をマスクとし、200nmの素子分離用絶縁膜15を自己整合的に形成する。

【0059】次に、図8(b)に示すように、スペーサ膜14を磷酸ボイルにより除去する。続いて、第2SiN膜14及び素子分離絶縁膜15をマスクとし、80KeV、 $5 \times 10^{15}/\text{cm}^2$ の砒素注入を行い、ドレイン・ソース拡散層16を形成する。そして、所定時間アニールを行った後、トンネル窓となる領域上の酸化膜ゲート12を除去する。

【0060】次に、選択的にトンネル窓N<sup>+</sup>領域のみに薄い酸化膜を形成した後に、第1SiN膜13の除去を行い、引き続き、この酸化膜を除去する。

【0061】続いて、トンネル酸化膜を形成した後、第1ポリシリコン膜を100~200nmの膜厚に堆積する。そして、その上にフォト・リソグラフィ技術及びエッチング技術により、第1ポリシリコン膜からなるパターン17aを形成する(図8(c)参照)。

【0062】次に、その上にONO膜18を形成した後、第2ポリシリコン膜を約100nm堆積し、第1ポリシリコン膜/ONO膜18/第2ポリシリコン膜を自己整合的にパターンニングすることにより、コントロールゲートCG(ワードライン)、ONO膜18及びフローティングゲートFGを形成する。

【0063】以上の製造工程により、上記実施形態1に比べてFNフラッシュメモリのゲートカップリング比を更に大きくできるので、より一層低電圧で書き込みが可能となる利点がある。

【0064】

【発明の効果】以上の本発明不揮発性半導体メモリの製造方法によれば、メモリの信頼性を向上でき、書き込み及び消去時に高電圧を必要としないFNフラッシュメモリ等の不揮発性半導体メモリを、工程数の少ない簡略化された製造プロセスで作製できるので、かかる長所を有する不揮発性半導体メモリのコストダウンに大いに寄与できる利点がある。

【0065】また、特に請求項2記載の不揮発性半導体メモリの製造方法によれば、素子分離用絶縁膜を自己整合的に形成するので、位置合わせのための余裕を確保する必要がないので、その分、セル面積を小さくできる。従って、まず、第1に、不揮発性半導体メモリの高集積化を図ることができる。第2に、トンネル領域も小さく

できるので、ゲートカップリング比をより一層大きくできる。この結果、より一層低電圧でメモリセルに対する書き込みが可能となる利点がある。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す、メモリセルの断面図。

【図2】本発明の実施形態1を示す、メモリセルアレイの一部を示す平面図。

【図3】本発明の実施形態1を示す、図2のA-A線断面図。

【図4】本発明の実施形態1を示す、図2のB-B線断面図。

【図5】本発明の実施形態1を示す、(a)は1本の共通ソースラインに3列に配列されたメモリセルのソースを接続した構造のメモリセルアレイの等価回路図、

(b)は1本のソースラインに2列に配列されたメモリセルのソースを接続した構造のメモリセルアレイの等価回路図。

【図6】本発明の実施形態1を示す、(a)は図5

(a)のメモリセルアレイのメモリセルC<sub>11</sub>が選択された場合の動作条件を示す図、(b)は図5(b)のメモリセルアレイのメモリセルC<sub>11</sub>が選択された場合の動作条件を示す図。

【図7】本発明の実施形態1を示す、不揮発性半導体メモリの製造工程を示す工程図。

【図8】本発明の実施形態2を示す、不揮発性半導体メモリの製造工程を示す工程図。

【図9】第1従来例に係るFNフラッシュメモリの断面図。

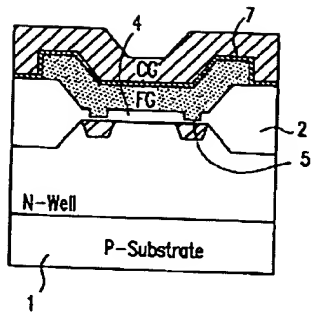
【図10】第2従来例に係るFNフラッシュメモリの製造工程を示す工程図。

【図11】第3従来例に係るFNフラッシュメモリの製造工程を示す工程図。

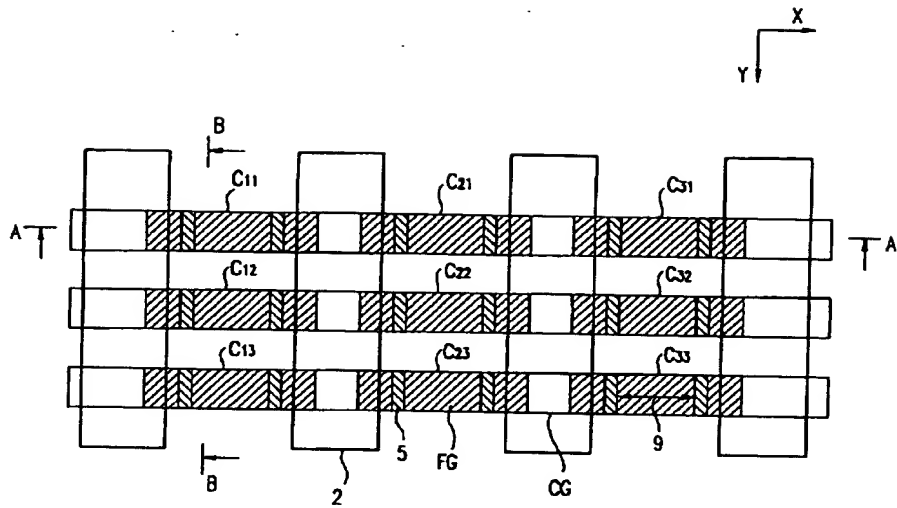
【符号の説明】

- 1 半導体基板
- 2 素子分離絶縁膜
- 3 拡散層
- 4 ゲート酸化膜
- 5 トンネル絶縁膜
- 7 ONO膜
- 9 チャネル領域
- BL ビットライン
- C メモリセル
- CG コントロールゲート
- FG フローティングゲート
- WL ワードライン

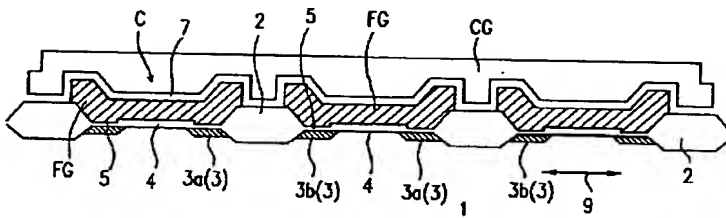
【図1】



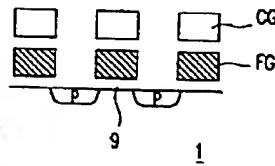
【図2】



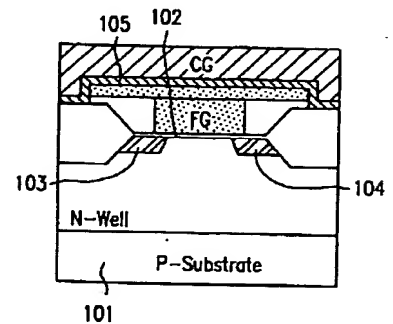
【図3】



【図4】



【図9】



【図6】

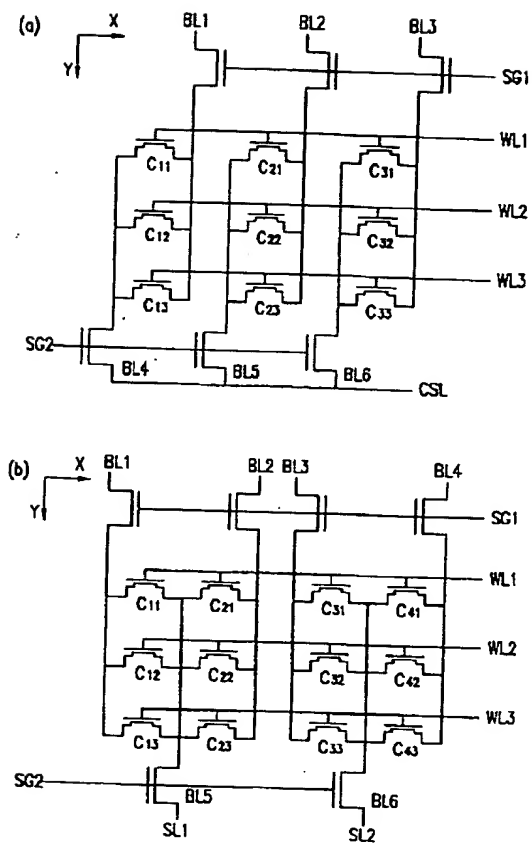
(a)

MODE	BIT LINE			WORD LINE			CSL	SELECT GATE	
	BL1	BL2	BL3	WL1	WL2	WL3		SG1	SG2
PROGRAM	4V	0	0	-8V	0	0	0	6V	0
ERASE	0	0	0	17V	0	0	0	6V	6V
READ	1V	0	0	3V	0	0	0	6V	6V

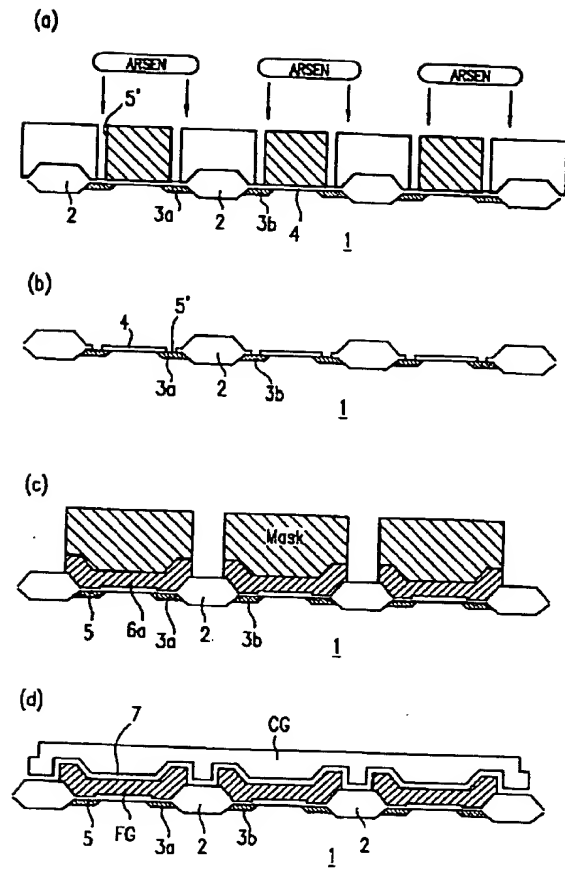
(b)

MODE	BL				WL			SL		SG	
	BL1	BL2	BL3	BL4	WL1	WL2	WL3	SL1	SL2	SG1	SG2
PROGRAM	4V	0	0	0	-8V	0	0	0	0	6V	0
ERASE	0	0	0	0	17V	0	0	0	0	6V	6V
READ	1V	0	0	0	3V	0	0	0	0	6V	6V

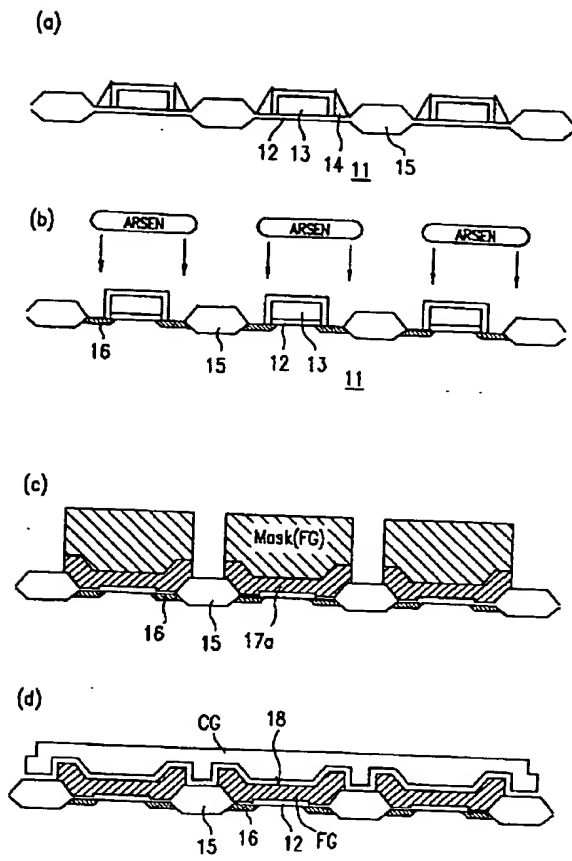
【図5】



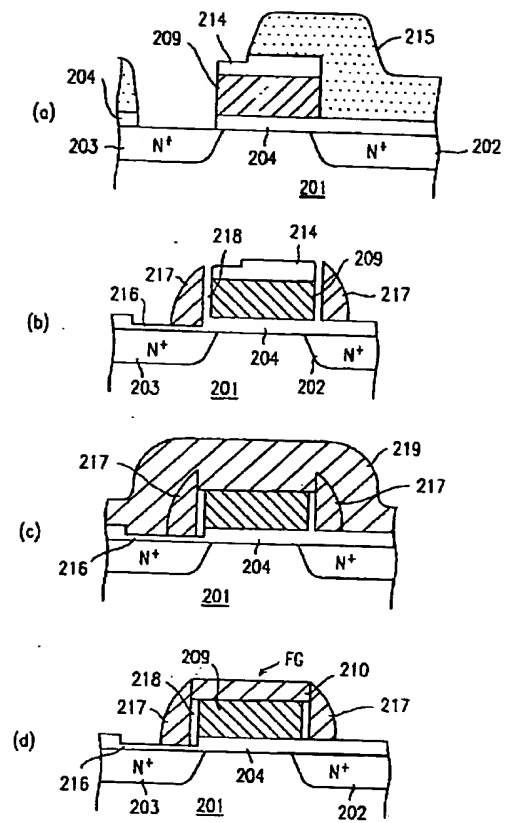
【図7】



【図8】



【図10】



【図 11】

 Si<sub>3</sub>N<sub>4</sub>
 Poly Si
  n<sup>+</sup>

